

# Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)

## EXAMEN RESUELTO

### Problema-1. Modelo-A

(Calificación 10 puntos)

Se quiere diseñar un circuito digital, tal que, dado un número en código octal de una sola cifra en su entrada, este circuito:

- 1) Indique, si el número de entrada es menor que 3.
- 2) Proporcione, el valor del resto resultante de dividir el número de entrada por 3.

SE PIDE:

- a) Realizar la tabla de verdad del sistema.
- b) Simplificar al máximo las salidas utilizando mapas de Karnaugh.
- c) Implementar la función que detecta si el número es menor que tres con decodificadores de 3:8.
- d) Implementar la función del bit de mayor peso del resto con MUX 4:1
- e) Implementar la función del bit de menor peso del resto con puertas AND y OR de 2 entradas, e inversores. Suponiendo que el retardo de una puerta OR es de 3 ns, el de una AND de 2 ns, y el de un inversor de 1 ns, calcúlese el máximo retardo desde las entradas hasta la salida.

## SOLUCION:

a) Tabla de verdad.

Octal	Resto división por 3	Entrada			Salidas		
		Número			Menor	Resto	
		B2	B1	B0	$S_{<3}$	R1	R0
0	0	0	0	0	1	0	0
1	1	0	0	1	1	0	1
2	2	0	1	0	1	1	0
3	0	0	1	1	0	0	0
4	1	1	0	0	0	0	1
5	2	1	0	1	0	1	0
6	0	1	1	0	0	0	0
7	1	1	1	1	0	0	1

b) Simplificación

B2 \ B1B0	00	01	11	10
0	1	1	0	1
1	0	0	0	0

$$S_{<3} = B2'B1' + B2' B0' = B2' (B1' + B0')$$

B2 \ B1B0	00	01	11	10
0	0	0	0	1
1	0	1	0	0

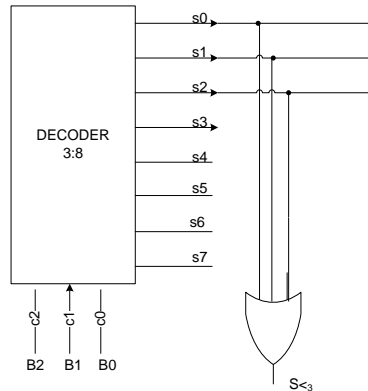
$$R_1 = B2' B1 B0' + B2 B1' B0$$

## Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)

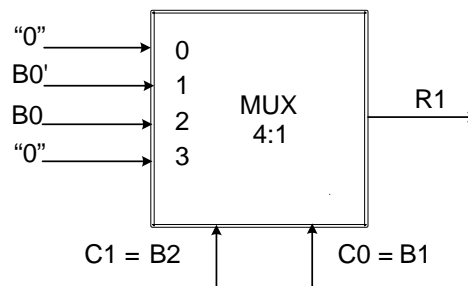
B2 \ B1B0	00	01	11	10
0	0	1	0	0
1	1	0	1	0

$$R_0 = B_2' B_1' B_0 + B_2 B_1' B_0' + B_2 B_1 B_0$$

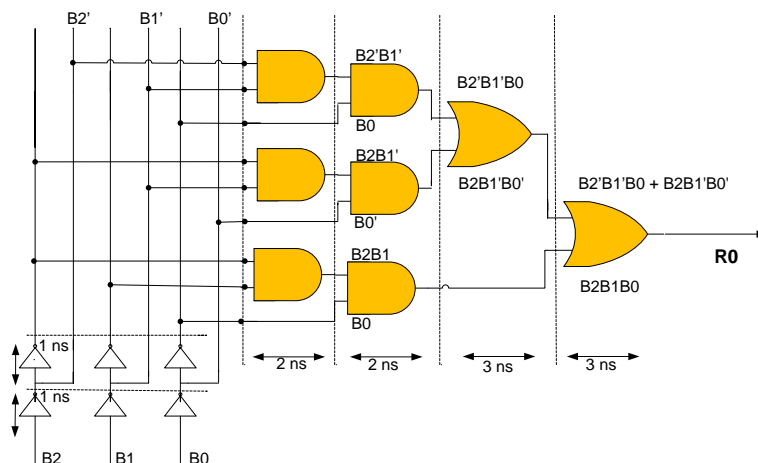
c) Función menor que 3 con decoders,  $S_{<3}$ :



d) Función bit más significativo del resto con MUX 4:1,  $R_1$ .



e) Función bit menor significativo del resto con puertas de dos entradas y calculo de retardos,  $R_0$ .



El retardo en el caso peor será:  $1 + 1 + 2 + 2 + 3 + 3 = 12$  ns, en el caso en el que se utilice un doble inversor, si se usa un solo inversor el retardo sería entonces 11 ns.

## Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)

### Problema-2. Modelo-A

(Calificación 10 puntos)

Dado el siguiente código:

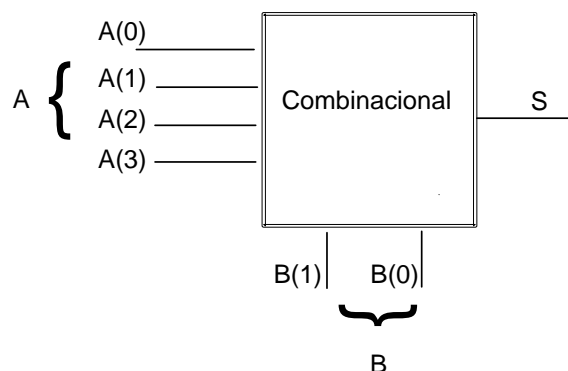
```
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;
ENTITY Combinacional IS
    PORT(
        A : IN std_logic_vector(3 DOWNTO 0);
        B : IN std_logic_vector(1 DOWNTO 0));
        S : OUT std_logic);
END Combinacional;

ARCHITECTURE Primera OF Combinacional IS
BEGIN
    PROCESS (A, B) IS
    BEGIN
        CASE B IS
            WHEN "00" => S <= A(0);
            WHEN "01" => S <= A(1);
            WHEN "10" => S <= A(2);
            WHEN "11" => S <= A(3);
            WHEN OTHERS => S <= 'X';
        END CASE;
    END PROCESS;
END Primera;
```

- Dibujar un esquema del circuito combinacional en forma de una caja donde se indiquen las entradas y salidas.
- Escriba una tabla que represente el funcionamiento del circuito.
- ¿Qué señales forman parte de la lista de sensibilidad del código dado anteriormente? ¿Cuál es el cometido de dicha lista?
- ¿Por qué se incluye "WHEN OTHERS" si ya se han contemplado 4 combinaciones de valores de B?
- ¿De qué tipo de circuito combinacional se trata?

### SOLUCION:

- Dibujar un esquema del circuito combinacional en forma de una caja donde se indiquen las entradas y salidas.



## Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)

b) Escriba una tabla que esquematice el funcionamiento del circuito.

Entradas de control		Salida
B(1)	B(0)	S
0	0	A(0)
0	1	A(1)
1	0	A(2)
1	1	A(3)

b) ¿Qué señales forman parte de la lista de sensibilidad del código dado anteriormente? ¿Cuál es el cometido de dicha lista?

La lista de sensibilidad es el conjunto de señales, encerradas entre paréntesis, que acompañan a la sentencia PROCESS: `PROCESS (A, B)` - las señales son por tanto A y B.

Indican que la sentencia PROCESS se ejecutará cuando ocurra un evento en las señales A o B, o en ambas señales a la vez.

d) ¿Por qué se incluye "WHEN OTHERS" si ya se han contemplado 4 combinaciones de valores de B?

Ello es debido al tipo de datos utilizado STD\_LOGIC\_1164, que incluye no solo los valores 0 y 1, sino otros valores como , X, L, H, U, .. etc. El caso WHEN OTHERS indica que para el resto de las combinaciones posibles de la señal B, no especificadas en el CASE, el valor de la salida sea X, es decir indeterminado.

e) ¿De qué tipo de circuito combinacional se trata?

Se trata de un MUX 4:1

## Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)

### Problema-3. Modelo-A

(Calificación 10 puntos)

Dados los números binarios  $A = 1001$  y  $B = 1010$ ,

- Indique su valor decimal sabiendo que están representados en binario natural.
- Indique su valor decimal sabiendo que están representados en complemento a 2.
- Realice la suma binaria  $A + B$  en el caso de que estén en complemento a 2. ¿Se produce desbordamiento?, ¿por qué?
- Dibuje el esquema de un sumador / restador binario en complemento a 2 para números de 4 bits, en base a sumadores completos y puertas XOR.
- Sobre el esquema anterior represente la operación  $A-B$ , indicando en cada punto del esquema el valor binario que se va obteniendo.

### SOLUCION:

- Indique su valor decimal sabiendo que están representados en binario natural.

$$A = 1001 = (1 \times 2^3) + (0 \times 2^2) + (0 \times 2^1) + (1 \times 2^0) = 9$$

$$B = 1010 = (1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (0 \times 2^0) = 10$$

- Indique su valor decimal sabiendo que están representados en complemento a 2.

Ambos dos números son negativos. Para saber su valor decimal, una opción es complementarlos:

$A = 1001$	$-A = 0111$	$A = -7$
$B = 1010$	$-B = 0110$	$B = -6$

- Realice la suma binaria  $A + B$  en el caso de que estén en complemento a 2. ¿Se produce desbordamiento?, ¿por qué?

A	1 0 0 1	-7
B	1 0 1 0	-6
A+B =	1 0 0 1 1	-13

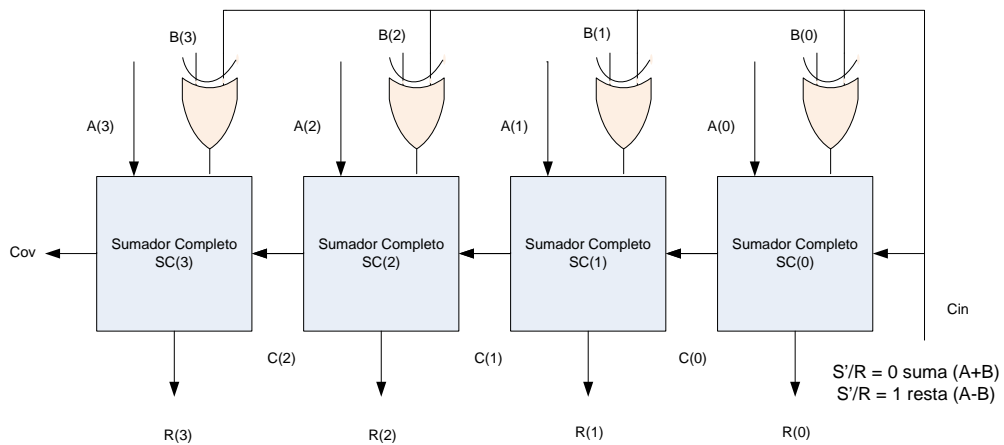
El resultado de la suma es un falso positivo de valor 3

Necesariamente se tiene que producir desbordamiento, ya que el resultado de la suma debería ser -13, que excede el rango de representación de los números negativos en CA2 con 4 bits:

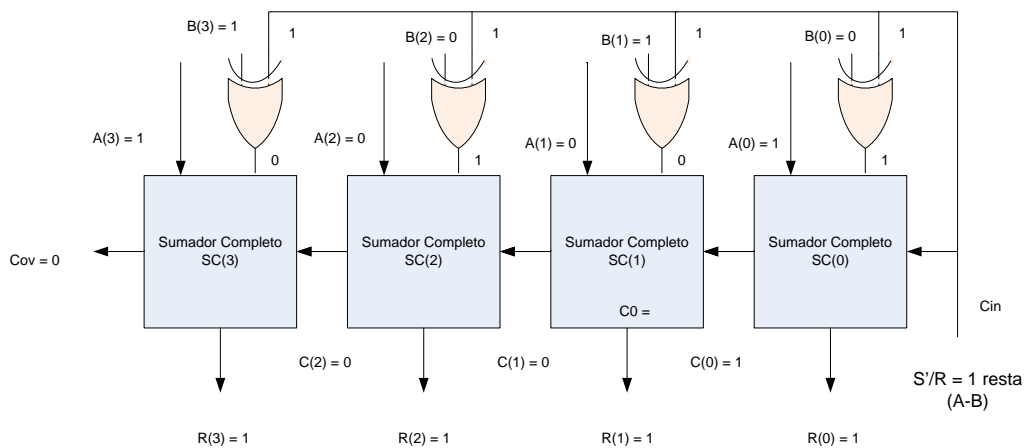
$$+2^{n-1} - 1 \text{ a } -2^{n-1} \rightarrow +2^{4-1} - 1 \text{ a } -2^{4-1} \rightarrow +7 \text{ a } -8$$

- Dibuje el esquema de un sumador / restador binario en complemento a 2 para números de 4 bits.

## Sistemas Digitales - Examen temas 1, 2 y 3 - (6 de Abril 2016)



- f) Sobre el esquema anterior represente la operación A-B, indicando en cada punto del esquema el valor binario que se va obteniendo.



$$A = 1001 \quad B = 1010$$

$A - B = -7 + (-(-6)) = -7 + 6 = -1$  es el resultado esperado. El valor que se obtiene es 1111, que es -1 en decimal.

$$\begin{array}{r}
 A = \quad 1 \quad 0 \quad 0 \quad 1 \quad (-7) \\
 \underline{CA1(B) = 0 \quad 1 \quad 0 \quad 1} \\
 \text{Resultado} \rightarrow A + CA1(B) + (S'/R = 1) = \quad 1 \quad 1 \quad 1 \quad 1 \quad S'/R = 1 \\
 \text{Acarreos} = \quad 0 \quad 0 \quad 0 \quad 1
 \end{array}$$